

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-307432

(43)Date of publication of application : 28.11.1997

(51)Int.Cl.

H03L 7/08

(21)Application number : 08-121313

(71)Applicant : NEC ENG LTD

(22)Date of filing : 16.05.1996

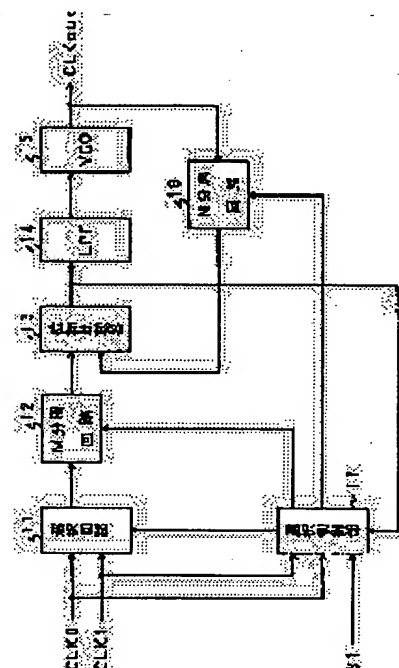
(72)Inventor : SUGIYAMA SHIGEHISA

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a PLL circuit which can suppress the phase shift and the disturbance of an output clock caused by the phase difference between subsidiary clocks.

SOLUTION: One of two subsidiary clocks CLK0 and CLK1 is selected by a selection circuit 11 and inputted to a phase comparator 13 after undergoing M-division via an M-division circuit 12. This divided subsidiary clock is compared in terms of phase with the clock that is obtained by applying N-division to an output clock CLKout produced by a VCO (voltage control oscillator) 15 via an N-division circuit 16. Then the phase difference signal obtained through the phase comparison is converted into a control voltage signal of the VCO 15 by an LPF 14. A selection control part 17 controls the selection switching of the circuit 11 with the changing timing of one of both clocks CLK0 and CLK1 that is newly selected according to a switch signal S1. At the same time, the part 17 controls at least one of both division phases of circuits 12 and 16 synchronously with the output changing point of the comparator 13. Thus, it's possible to suppress the phase shift and the disturbance of an output clock caused by the phase difference between both subsidiary clocks.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A PLL circuit characterized by providing the following. A clock generation means to generate a clock of frequency according to a control signal N frequency divider which carries out N (N is the natural number of two or more arbitration) dividing of the output clock of this clock generation means A selection circuitry which has inputted two or more subordination clocks respectively, shifts, and outputs that subordination clock alternatively An output clock of this selection circuitry M (M is the natural number of two or more arbitration) dividing M frequency divider to carry out, A phase comparator which carries out the phase comparison of an output clock of this M frequency divider, and the output clock of said N frequency divider, A filter means to generate a frequency control signal of said clock generation means by removing a high-frequency component from an output of this phase comparator, While controlling a selection change of said selection circuitry by change timing of a clock newly chosen among said two or more subordination clocks according to a change signal for said subordination clock selection It is the selection control section of said M frequency divider and N frequency divider which controls a dividing phase to either at least so that it may synchronize with a changing point of an output of said phase comparator.

[Claim 2] Said two or more subordination clocks are PLL circuits according to claim 1 characterized by being the clock generated by carrying out mutually independent.

[Claim 3] It is the PLL circuit according to claim 1 characterized by making it constitute from a low pass filter which generates an armature-voltage control signal over said voltage controlled oscillator by constituting said clock generation means from a voltage controlled oscillator, and said filter means removing a high region frequency component from an output of said phase comparator, and changing into a direct-current-voltage signal.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention is used for the transmission equipment which is applied to the PLL circuit which generates the output clock which synchronized with the subordination clock, especially has a redundancy system clock subordination configuration, and relates to the technology of performing timing control at the time of a subordination clock change.

[0002]

[Description of the Prior Art] If it is in the PLL circuit used for the transmission equipment which has a redundancy system clock subordination configuration conventionally, it is common to adopt the method of controlling clock change timing, stopping waveform distortion, such as superposition of the mustache accompanying the change between the redundancy clocks with which phases differ, as much as possible, and oppressing the turbulence of a clock system with the clock of a change place which newly serves as a subordination system in the change of a subordination clock.

[0003] An example of the PLL circuit by the conventional subordination clock change method is shown in drawing 4. In drawing 4, CLK0 is 0 system subordination clock, CLK1 is 1 system subordination clock, and after either is chosen by the selection circuitry 1 and these subordination clocks CLK0 and CLK1 are carried out M dividing in the M (M is the two or more natural numbers) frequency divider 2, they are inputted into a phase comparator 3.

[0004] both phase contrast is detected by carrying out the phase comparison of the subordination clock with which M dividing of this phase comparator 3 was carried out to the clock with which N dividing of the output clock CLKout of VCO (voltage controlled oscillator)5 was carried out in the N (N is the two or more natural numbers) frequency divider 6 in the M frequency divider 2, and that phase contrast signal is inputted into LPF (low pass filter)4.

[0005] This LPF4 cuts the high region frequency component of the inputted phase contrast signal, and generates the armature-voltage control signal over VCO5 by extracting a low-pass frequency component. VCO5 is the output clock CLKout which is controlling frequency according to the level of the inputted armature-voltage control signal, and synchronized with the subordination clock from the selection circuitry 1. It generates.

[0006] On the other hand, the selection-control section 7 generates the change control signal from the change signal S1, 0 system subordination clock CLK0, and 1 system subordination clock CLK1 to a selection circuitry 1. That is, if the change signal S1 is inputted into the selection-control section 7, this

selection control section 7 will output a change control signal to a selection circuitry 1 synchronizing with the timing of the changing point of the clock newly chosen among 0 system subordination clock CLK0 and 1 system subordination clock CLK1.

[0007] By the above control, to a selection circuitry 1, the waveform distortion by superposition of the mustache of an output clock waveform etc. can be oppressed as much as possible, and a subordination clock can be changed.

[0008] However, in the case of the system by which the phase of the subordination clocks which make the redundant configuration for subordination is specified independently, to the turbulence of the output clock by distortion of the unnecessary clock waveform accompanying a change, the oppression effect is expectable in the PLL circuit by the above conventional subordination clock change methods, but there was a problem that where of the oppression effect is not expectable to phase transition and the turbulence of the output clock depending on the phase contrast between subordination clocks.

[0009] On the other hand, as an example of the conventional method, in case PLL changes to the subordination condition from a self-propelled condition to an input clock at JP,4-262619,A (the advanced technology is called hereafter), it prevents that it will be in the worst phase condition between two clocks to PLL, and the configuration of the PLL circuit which prevented the remarkable frequency jump of the output clock for equipments is indicated.

[0010] In the PLL circuit indicated by this advanced technology, while generating two kinds of dividing clocks with which dividing of the transmission-line clock inputted by the 1st frequency divider is carried out, and phases differ, dividing of the output clock for equipments is carried out by the 2nd frequency divider, and the phase of two kinds of dividing clocks outputted by the phase-comparison circuit from the 1st frequency divider and the dividing clock outputted from the 2nd frequency divider is compared.

[0011] About a transmission-line clock, the existence of an input is supervised by the clock stop detector, two kinds of dividing clocks outputted from the 1st frequency divider are inputted into a selector, and either of them is made to answer and choose it as the information outputted from a clock stop detector and a phase-comparison circuit here.

[0012] The dividing clock and the dividing output of the 2nd frequency divider in which a selector carries out a selection output are answered, and he subordinates the frequency of an output clock to a transmission-line clock, and is trying to make it run by himself by the phase locked loop at the time of ***** of a transmission-line clock at this time in with the input of a transmission-line clock.

[0013] However, in the configuration indicated by the above-mentioned advanced technology, since phase adjustment is not performed at the time of the dividing clock selection change of a selector, it cannot oppress to the turbulence of the output clock by distortion of the unnecessary clock waveform accompanying a change.

[0014]

[Problem(s) to be Solved by the Invention] As stated above, in the case of a system by which the phase of the clocks which make the redundant configuration for subordination is specified independently, in the PLL circuit by the conventional subordination clock change method, there was a problem that it could not respond to phase transition or the turbulence of the output clock depending on the phase contrast between subordination clocks.

[0015] The technical problem of this invention solves the above-mentioned problem, and is to offer the PLL circuit which can oppress phase transition and the turbulence of the output clock depending on the

phase contrast between subordination clocks.

[0016]

[Means for Solving the Problem] A PLL circuit which starts this invention in order to solve the above-mentioned technical problem A clock generation means to generate a clock of frequency according to a control signal, N frequency divider which carries out N (N is the natural number of two or more arbitration) dividing of the output clock of this clock generation means, A selection circuitry which has inputted two or more subordination clocks respectively, shifts, and outputs that subordination clock alternatively, An output clock of this selection circuitry M (M is the natural number of two or more arbitration) dividing M frequency divider to carry out, A phase comparator which carries out the phase comparison of an output clock of this M frequency divider, and the output clock of said N frequency divider, A filter means to generate a frequency control signal of said clock generation means by removing a high region frequency component of an output of this phase comparator, While controlling a selection change of said selection circuitry by change timing of a clock newly chosen among said two or more subordination clocks according to a change signal for subordination clock selection The selection control section of said M frequency divider and N frequency divider which controls a dividing phase to either at least is provided, and it was made to constitute so that it may synchronize with a changing point of an output of said phase comparator.

[0017] That is, in a PLL circuit by the above-mentioned configuration, while changing at a changing point of a selected clock in the case of two or more subordination clock selection changes of a redundant configuration, this technical problem is solved by carrying out phase control to an input of a phase comparator.

[0018]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to details with reference to a drawing.

[0019] Drawing 1 shows the configuration of the PLL circuit concerning this invention, and either is chosen by the selection circuitry 11, and the subordination clocks CLK0 and CLK1 are carried out M dividing in the M frequency divider 12, and are inputted into a phase comparator 13. A phase comparator 13 is the output clock CLKout from VCO15. A phase comparison with the subordination clock by which N dividing was carried out to the clock by which N dividing was carried out in the N frequency divider 16 in the M frequency divider 12 is performed, and it outputs to LPF16.

[0020] LPF16 cuts the high region frequency component of the inputted signal, generates an armature-voltage control signal, and outputs it to VCO15. VCO15 controls oscillation frequency according to the level of the inputted armature-voltage control signal, and is the output clock CLKout. It generates.

[0021] The selection control section 17 considers the output of 0 system subordination clock CLK0, 1 system subordination clock CLK1, the change signal S1 from the outside, and a phase comparator 13 as an input, and generates the control signal to the M frequency divider 12, the N frequency divider 16, and a selection circuitry 11.

[0022] In the above-mentioned configuration, the actuation is explained below.

[0023] First, if the change signal S1 is inputted into the selection control section 17, the selection control section 17 will output the change control signal to a selection circuitry 11 while it carries out the monitor of the phase contrast of 0 system subordination clock CLK0 and 1 system subordination clock CLK1 and controls a dividing phase to the M frequency divider 12, the N frequency divider 16, or its both

synchronizing with the changing point of the output of a phase comparator 13.

[0024] Depending on the phase contrast of 0 system subordination clock CLK0 and 1 system subordination clock CLK1, in a subordination clock change, the dividing phase control carried out to the M frequency divider 12, the N frequency divider 16, or its both absorbs the phase contrast so that the output wave of a phase comparator 13 may not change.

[0025] The timing diagram in the configuration of the above-mentioned operation gestalt is shown in drawing 2 and drawing 3.

[0026] Drawing 2 (a) and drawing 3 (a) show the wave of 0 system subordination clock CLK0, and drawing 2 (b) and drawing 3 (b) show the wave of 1 system subordination clock CLK1. This operation gestalt explains the subordination clock change on 1 system subordination clock CLK1 from 0 system subordination clock CLK0 as an example. In addition, drawing 2 (c) and drawing 3 (c) show the output wave of the M frequency divider 4, and are $M=2$ in this example.

[0027] Drawing 2 (d) and drawing 3 (d) show the output wave of VCO15, and drawing 2 (e) and drawing 3 (e) are the output waves of the N frequency divider 16. In this example, it is $N=4$. Drawing 2 (f) and drawing 3 (f) show the output wave of a phase comparator 13, and the change timing of a selection circuitry 11 is shown by the inside [t2] t1 of drawing 2 and drawing 3. In this example, the time of falling change of a phase comparator 13 of an output wave (at the time of standup change of 0 system subordination clock CLK0 before a change) is made into change timing.

[0028] Drawing 2 shows the case where the phase of 1 system subordination clock CLK1 of drawing 2 (b) is progressing by the phase contrast in [A] drawing, to 0 system subordination clock CLK0 of drawing 2 (a). In this Fig., in a clock change, the selection-control section 17 performs phase control (a phase is advanced) of the same amount of phase contrast as the phase contrast in [A] drawing to the N frequency divider 16 (dotted line section of drawing 2 (e)).

[0029] Similarly, drawing 3 shows the case where the phase of 1 system subordination clock CLK1 of drawing 3 (b) is behind by the phase contrast in [B] drawing, to 0 system subordination clock CLK0 of drawing 3 (a). In this Fig., in a clock change, the selection-control section 17 performs phase control (a phase is delayed) of the same amount of phase contrast as the phase contrast in [B] drawing to the N frequency divider 16 (dotted line section of drawing 3 (e)).

[0030] It becomes possible to oppress distortion of the phase comparator output wave of drawing 2 (f) which is the output of a phase comparator 13, and drawing 3 (f) as the above result, to oppress the turbulence (frequency drift) of the clock output from VCO15, and to change a subordination clock to 1 system subordination clock CLK1.

[0031]

[Effect of the Invention] Since the monitor of the phase contrast between subordination clocks is carried out at the time of subordination clock change control and dividing phase control is carried out according to this invention at the time of clock change control as mentioned above, the PLL circuit which can oppress the turbulence of phase fluctuation of an output clock or a clock system as much as possible also to the time of the subordination clock change of an independent phase can be offered.

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block circuit diagram showing the configuration of 1 operation gestalt of the PLL circuit concerning this invention.

[Drawing 2] It is a timing diagram for explaining actuation of this operation gestalt.

[Drawing 3] It is a timing diagram for explaining actuation of this operation gestalt.

[Drawing 4] It is the block circuit diagram showing the configuration of the conventional PLL circuit.

[Description of Notations]

1 11 Selection circuitry

2 12 M frequency divider

3 13 Phase comparator

4,14 LPF

5,15 VCO

6 16 N frequency divider

7 17 Selection-control section

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-307432

(43)公開日 平成9年(1997)11月28日

(51)Int.Cl.⁶

H03L 7/08

識別記号

庁内整理番号

FI

H03L 7/08

技術表示箇所

Z

審査請求 未請求 請求項の数3 OL (全6頁)

(21)出願番号 特願平8-121313

(22)出願日 平成8年(1996)5月16日

(71)出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72)発明者 杉山 成央

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

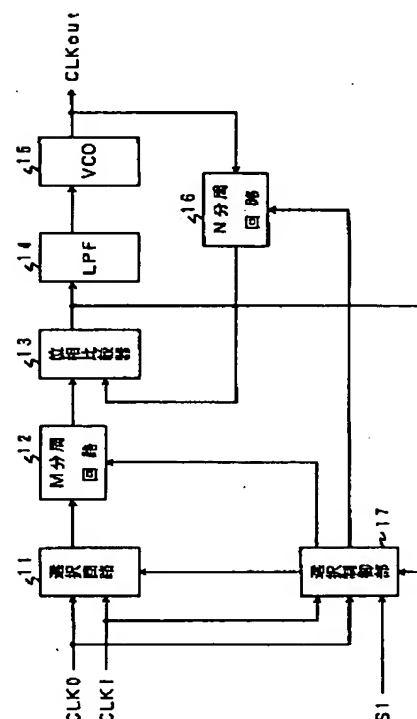
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 PLL回路

(57)【要約】

【課題】 従属クロック間の位相差に依存する出力クロックの位相遷移や擾乱を抑圧可能なPLL回路を提供する。

【解決手段】 従属クロックCLK0, CLK1のいずれか一方を選択回路11で選択し、M分周回路12でM分周して位相比較器13に入力し、VCO15で発生される出力クロックCLKoutをN分周回路16でN分周したクロックと位相比較して、その位相差信号をLPF14でVCO15の制御電圧信号に変換する。選択制御部17では、切替信号S1に応じて、従属クロックCLK0, CLK1のうち新たに選択するクロックの変化タイミングで選択回路11の選択切替を制御すると共に、位相比較器13の出力の変化点に同期するように、M分周回路12及びN分周回路16の少なくともいずれか一方の分周位相を制御して、従属クロック間の位相差に依存する出力クロックの位相遷移や擾乱を抑圧する。



(2)

【特許請求の範囲】

【請求項1】 制御信号に応じた周波数のクロックを発生するクロック発生手段と、
このクロック発生手段の出力クロックをN（Nは2以上の任意の自然数）分周するN分周回路と、
複数の従属クロックを各々入力していずれかの従属クロックを選択的に出力する選択回路と、
この選択回路の出力クロックをM（Mは2以上の任意の自然数）分周するM分周回路と、
このM分周回路の出力クロックと前記N分周回路の出力クロックとを位相比較する位相比較器と、
この位相比較器の出力から高域成分を除去することで前記クロック発生手段の周波数制御信号を生成するフィルタ手段と、
前記従属クロック選択のための切替信号に応じて、前記複数の従属クロックのうち新たに選択するクロックの変化タイミングで前記選択回路の選択切替を制御すると共に、前記位相比較器の出力の変化点に同期するように、前記M分周回路及びN分周回路の少なくともいずれか一方に対して分周位相を制御する選択制御部とを具備することを特徴とするPLL回路。

【請求項2】 前記複数の従属クロックは互いに独立して発生されたクロックであることを特徴とする請求項1記載のPLL回路。

【請求項3】 前記クロック発生手段は電圧制御発振器で構成し、前記フィルタ手段は前記位相比較器の出力から高域周波数成分を除去し直流電圧信号に変換することで前記電圧制御発振器に対する電圧制御信号を生成するローパスフィルタで構成するようにしたことを特徴とする請求項1記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、従属クロックに同期した出力クロックを生成するPLL回路に係り、特に冗長系クロック従属構成を有する伝送装置に用いられ、従属クロック切替時のタイミング制御を行う技術に関する。

【0002】

【従来の技術】従来、冗長系クロック従属構成を有する伝送装置に用いられるPLL回路にあっては、従属クロックの切替において新たに従属系となる切替先のクロックによってクロック切替タイミングを制御し、位相の異なる冗長クロック間の切替に伴うひげの重畳等の波形歪みを極力抑え、クロック系の擾乱を抑圧する方法を採用するのが一般的である。

【0003】図4に従来の従属クロック切替方式によるPLL回路の一例を示す。図4において、CLK0は0系従属クロック、CLK1は1系従属クロックであり、これらの従属クロックCLK0、CLK1は選択回路1によりいずれか一方が選択され、M（Mは2以上の自然

数）分周回路2でM分周された後、位相比較器3に入力される。

【0004】この位相比較器3は、VCO（電圧制御発振器）5の出力クロックCLKoutがN（Nは2以上の自然数）分周回路6でN分周されたクロックとM分周回路2でM分周された従属クロックとを位相比較することで両者の位相差を検出するもので、その位相差信号はLPF（ローパスフィルタ）4に入力される。

【0005】このLPF4は、入力された位相差信号の高域周波数成分をカットし、低域周波数成分を抽出することでVCO5に対する電圧制御信号を生成する。VCO5は、入力された電圧制御信号のレベルに従って周波数を制御することで、選択回路1からの従属クロックに同期した出力クロックCLKoutを発生する。

【0006】一方、選択制御部7は、切替信号S1、0系従属クロックCLK0、1系従属クロックCLK1から選択回路1への切替制御信号を生成する。すなわち、切替信号S1が選択制御部7に入力されると、この選択制御部7は、0系従属クロックCLK0と1系従属クロックCLK1のうち、新たに選択されるクロックの変化点のタイミングに同期して選択回路1へ切替制御信号を出力する。

【0007】以上の制御により、選択回路1に対し、出力クロック波形のひげの重畳等による波形歪みを極力抑圧して従属クロックの切替を実施することができる。

【0008】しかしながら、上記のような従来の従属クロック切替方式によるPLL回路では、従属冗長構成をなす従属クロック同士の位相が独立に規定されているようなシステムの場合、切替に伴う不要なクロック波形の歪みによる出力クロックの擾乱に対しては抑圧効果が期待できるが、従属クロック間の位相差に依存する出力クロックの位相遷移や擾乱に対しては抑圧効果が期待できないという問題があった。

【0009】一方、従来方式の一例として、特開平4-262619号公報（以下、先行技術と称する）に、PLLが自走状態から入力クロックへの従属状態に切り替わる際にPLLへの2つのクロック間で最悪位相状態になるのを防止し、装置用の出力クロックの著しい周波数ジャンプを防ぐようにしたPLL回路の構成が記載されている。

【0010】この先行技術に記載されるPLL回路では、第1の分周回路により入力された伝送路クロックを分周して位相の異なる2種類の分周クロックを発生する一方、第2の分周回路により装置用の出力クロックを分周して、位相比較回路により第1の分周回路から出力される2種類の分周クロックと第2の分周回路から出力される分周クロックとの位相を比較する。

【0011】ここで、伝送路クロックについてはクロック断検出回路により入力の有無を監視するようにし、第1の分周回路から出力される2種類の分周クロックをセ

(3)

3

レクタに入力して、そのうちのいずれか一方をクロック断検出回路及び位相比較回路から出力される情報に応答して選択させる。

【0012】このとき、位相ロックループでは、伝送路クロックの入力有りの場合には、セクタが選択出力する分周クロックと第2の分周回路の分周出力とに両方とも出力クロックの周波数を伝送路クロックに従属させ、また伝送路クロックの入力断時には自走させるようにしている。

【0013】しかしながら、上記の先行技術に開示される構成においても、セクタの分周クロック選択切替時に位相調整を行っていないため、切替に伴う不要なクロック波形の歪みによる出力クロックの擾乱に対して抑圧することはできない。

【0014】

【発明が解決しようとする課題】以上述べたように従来の従属クロック切替方式によるPLL回路では、従属用冗長構成をなすクロック同士の位相が独立に規定されているようなシステムの場合、従属クロック間の位相差に依存する出力クロックの位相遷移や擾乱に対応できないといった問題があった。

【0015】本発明の課題は、上記の問題を解決し、従属クロック間の位相差に依存する出力クロックの位相遷移や擾乱を抑圧可能なPLL回路を提供することにある。

【0016】

【課題を解決するための手段】上記の課題を解決するために本発明に係るPLL回路は、制御信号に応じた周波数のクロックを発生するクロック発生手段と、このクロック発生手段の出力クロックをN（Nは2以上の任意の自然数）分周するN分周回路と、複数の従属クロックを各々入力していずれかの従属クロックを選択的に出力する選択回路と、この選択回路の出力クロックをM（Mは2以上の任意の自然数）分周するM分周回路と、このM分周回路の出力クロックと前記N分周回路の出力クロックとを位相比較する位相比較器と、この位相比較器の出力の高域周波数成分を除去することで前記クロック発生手段の周波数制御信号を生成するフィルタ手段と、従属クロック選択のための切替信号に応じて、前記複数の従属クロックのうち新たに選択するクロックの変化タイミングで前記選択回路の選択切替を制御すると共に、前記位相比較器の出力の変化点に同期するように、前記M分周回路及びN分周回路の少なくともいずれか一方に対して分周位相を制御する選択制御部とを具備して構成するようにした。

【0017】すなわち、上記構成によるPLL回路では、冗長構成の複数の従属クロック選択切替の際に被選択クロックの変化点で切替を実施すると共に、位相比較器の入力に対して位相制御を実施することで本課題を解決する。

4

【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0019】図1は本発明に係るPLL回路の構成を示すもので、従属クロックCLK0及びCLK1は選択回路11によりいずれか一方が選択され、M分周回路12でM分周されて位相比較器13に入力される。位相比較器13は、VCO15からの出力クロックCLKoutがN分周回路16でN分周されたクロックとM分周回路12でN分周された従属クロックとの位相比較を行ってLPF16に出力する。

【0020】LPF16は、入力された信号の高域周波数成分をカットして電圧制御信号を生成し、VCO15へ出力する。VCO15は入力された電圧制御信号のレベルに従って発振周波数を制御し、出力クロックCLKoutを発生する。

【0021】選択制御部17は、0系従属クロックCLK0、1系従属クロックCLK1、外部からの切替信号S1、位相比較器13の出力を入力とし、M分周回路12とN分周回路16と選択回路11への制御信号を生成する。

【0022】上記構成において、以下にその動作を説明する。

【0023】まず、切替信号S1が選択制御部17に入力されると、選択制御部17は0系従属クロックCLK0と1系従属クロックCLK1の位相差をモニタし、位相比較器13の出力の変化点に同期して、M分周回路12、またはN分周回路16、またはその両方に対して分周位相を制御すると共に、選択回路11への切替制御信号を出力する。

【0024】M分周回路12、またはN分周回路16、またはその両方に対して実施される分周位相制御は、0系従属クロックCLK0と1系従属クロックCLK1の位相差に依存し、従属クロック切替において、位相比較器13の出力波形が変化しないように、その位相差を吸収する。

【0025】上記実施形態の構成におけるタイムチャートを図2及び図3に示す。

【0026】図2(a)、図3(a)は0系従属クロックCLK0の波形を示し、図2(b)、図3(b)は1系従属クロックCLK1の波形を示す。本実施形態では、0系従属クロックCLK0から1系従属クロックCLK1への従属クロック切替を例として説明する。尚、図2(c)、図3(c)はM分周回路4の出力波形を示し、この例ではM=2である。

【0027】図2(d)、図3(d)はVCO15の出力波形を示し、図2(e)、図3(e)はN分周回路16の出力波形である。この例ではN=4である。図2(f)、図3(f)は位相比較器13の出力波形を示し、図2中t1、図3中t2は選択回路11の切替タイ

(4)

5

ミングを示す。この例では、位相比較器13の出力波形の立ち下がり変化時（切替前の0系従属クロックCLK0の立ち上がり変化時）を切替タイミングとしている。

【0028】図2は図2（a）の0系従属クロックCLK0に対し、図2（b）の1系従属クロックCLK1の位相が図中Aの位相差で進んでいる場合を示している。本図の場合、クロック切替において、選択制御部17は、N分周回路16に対して図中Aの位相差と同じ位相差量の位相制御（位相を進める）を行う（図2（e）の点線部）。

【0029】同様に、図3は図3（a）の0系従属クロックCLK0に対し、図3（b）の1系従属クロックCLK1の位相が図中Bの位相差で遅れている場合を示している。本図の場合、クロック切替において、選択制御部17は、N分周回路16に対して図中Bの位相差と同じ位相差量の位相制御（位相を遅らせる）を行う（図3（e）の点線部）。

【0030】以上の結果として、位相比較器13の出力である図2（f）、図3（f）の位相比較器出力波形の歪みが抑圧され、VCO15からのクロック出力の擾乱（周波数変動）を抑圧して1系従属クロックCLK1へ従属クロックを切り替えることが可能となる。

【0031】

6

【発明の効果】以上のように本発明によれば、従属クロック切替制御時において、従属クロック間位相差をモニタして、クロック切替制御時に分周位相制御を実施するため、独立位相の従属クロック切替時に対しても出力クロックの位相変動やクロック系の擾乱を極力抑圧できるPLL回路を提供することができる。

【図面の簡単な説明】

【図1】本発明に係るPLL回路の一実施形態の構成を示すブロック回路図である。

10 【図2】同実施形態の動作を説明するためのタイムチャートである。

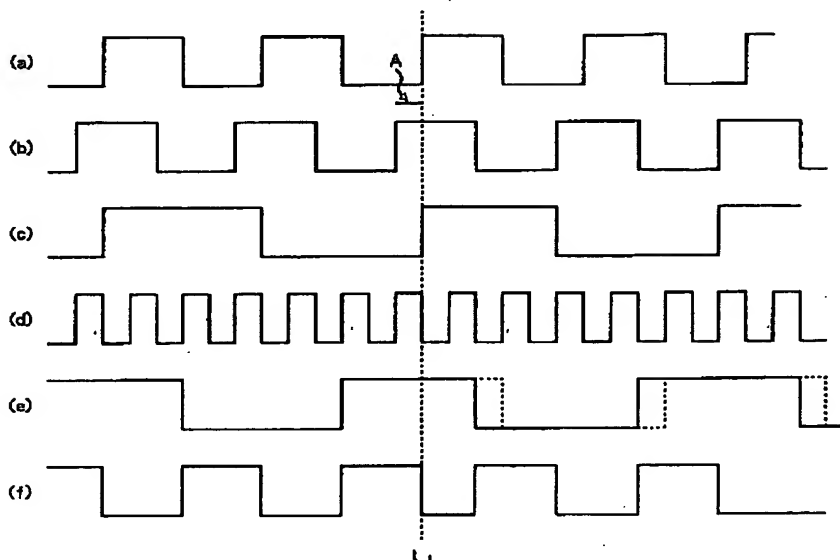
【図3】同実施形態の動作を説明するためのタイムチャートである。

【図4】従来のPLL回路の構成を示すブロック回路図である。

【符号の説明】

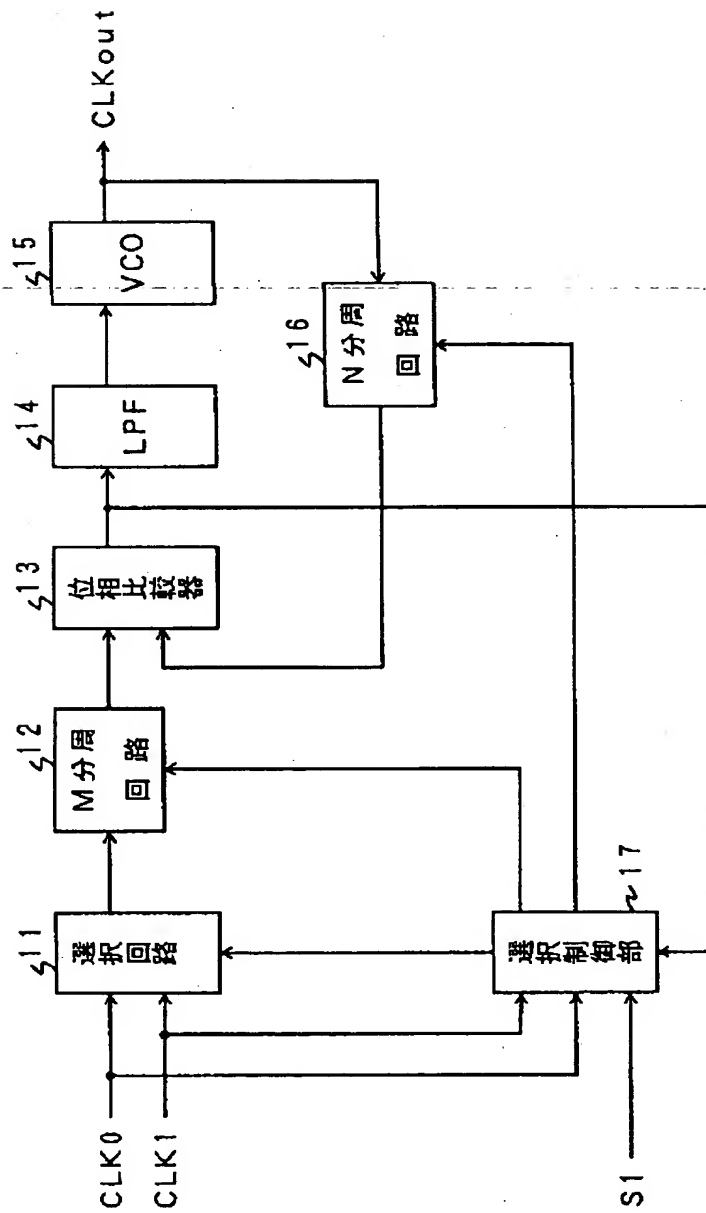
- | | |
|-------|-------|
| 1, 11 | 選択回路 |
| 2, 12 | M分周回路 |
| 3, 13 | 位相比較器 |
| 4, 14 | LPF |
| 5, 15 | VCO |
| 6, 16 | N分周回路 |
| 7, 17 | 選択制御部 |

【図2】



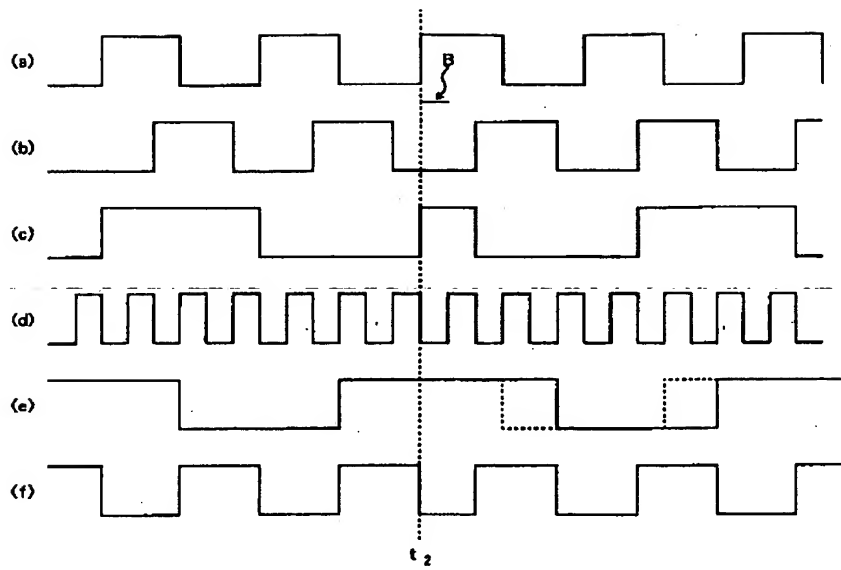
(5)

【図1】



(6)

【図3】



【図4】

